

**No title available**

**Publication number:** JP64007276 (U)

**Publication date:** 1989-01-17

**Inventor(s):**

**Applicant(s):**

**Classification:**


- international: **B65H67/06; D01H9/18; D01H13/30; B65H67/06; D01H9/00; D01H13/00; (IPC1-7): D01H13/30; B65H67/06**

- European:

**Application number:** JP19870097376U 19870626

**Priority number(s):** JP19870097376U 19870626


**Also published as:**

 JP3029337 (Y2)

Abstract not available for **JP 64007276 (U)**

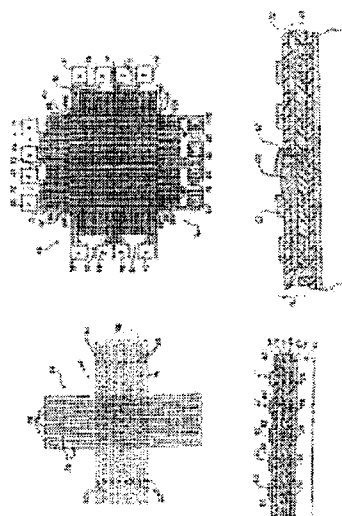
---

Data supplied from the **esp@cenet** database — Worldwide

**DEVICE AND METHOD FOR DETECTING DEFECT WHICH IS CARRIED VERTICALLY IN INTEGRATED CIRCUIT****Publication number:** JP3029337 (A)**Publication date:** 1991-02-07**Inventor(s):** UOJISHIETSUCHI MARI; MAIKERU II TOOMASU**Applicant(s):** NAT SEMICONDUCTOR CORP**Classification:****- international:** *H01L21/66; H01L21/66; H01L21/66; H01L21/66; (IPC1-7): H01L21/66***- European:****Application number:** JP19900134278 19900525**Priority number(s):** US19890357546 19890526**Also published as:** JP3149940 (B2)**Abstract of JP 3029337 (A)**

**PURPOSE:** To detect any defect in an integrated circuit by forming a vertical double bridge test structure including a first test structure (lower part) and a second test structure (upper part).

**CONSTITUTION:** A first meandering part 14 on a substrate 10 is constructed as a high electric resistance having a predetermined number of intermediate segments 16, and each strip end of a highly conductive first set strips 32 insulated from the first meandering part 14 and separated in a non-overlapping relation is connected with an intermediate segment 16 end corresponding to the first meandering part 14 to form a first test structure 48. A second meandering part 24 is constructed as a high electric resistance having a predetermined number of intermediate segments 26, and each strip of a highly conductive second set strip 62 insulated from the second meandering part 24 is matched with each one corresponding to the intermediate segments 26 of the second meandering part 24 in an overlapping relation and each end is electrically joined with the intermediate segment 26 end corresponding to the first meandering part 14 to construct a second test structure. 76. Hereby, any defect in a semiconductor circuit is detected, and yield prediction and estimated efficiency are improved.



Data supplied from the esp@cenet database — Worldwide

## ⑫ 公開特許公報(A) 平3-29337

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)2月7日

H 01 L 21/66

N  
J  
Z7013-5F  
7013-5F  
7013-5F

審査請求 未請求 請求項の数 22 (全19頁)

⑥ 発明の名称 集積回路における垂直方向に伝搬した欠陥を検知する装置及び方法

⑪ 特 願 平2-134278

⑫ 出 願 平2(1990)5月25日

優先権主張 ⑬ 1989年5月26日 ⑭ 米国(US) ⑮ 357,546

⑯ 発 明 者 ウオジシエツチ マリ アメリカ合衆国, ペンシルベニア, ビッツバーグ, フェア  
ー オークス ストリート 5450

⑰ 発 明 者 マイケル イー. トー アメリカ合衆国, カリフォルニア, ミルビタス, デイーボ  
マス ン プレイス 2258

⑱ 出 願 人 ナショナル セミコン アメリカ合衆国, カリフォルニア 95052, サンタ クラ  
ダクタ コーポレーシ ラ, セミコンダクタ ドライブ 2900  
ヨン

⑲ 代 理 人 弁理士 小橋 一男 外1名

## 明 細 書

## 1. 発明の名称

集積回路における垂直方向に伝搬した欠  
陥を検知する装置及び方法

## 2. 特許請求の範囲

1. 集積回路処理の結果として発生する欠陥  
を検知する装置において、

(a) 基板、

(b) 前記基板に形成した第一蛇行部、前記第  
一蛇行部は所定数の中間セグメントを持った高電  
気抵抗物質を有しており、前記中間セグメントの  
端部は折曲セグメントによって相互接続されてお  
り、従って前記第一蛇行部の端部間に所定の電気  
的抵抗を持った電気回路が形成されており、

(c) 前記第一蛇行部から電気的に分離された  
第二蛇行部、前記第二蛇行部は所定数の中間セグ  
メントを持った高電気抵抗物質を有しており、前  
記中間セグメントの端部は折曲セグメントによっ  
て相互接続されており、従って前記第二蛇行部の  
端部間に所定の電気的抵抗を持った電気回路が形

成されており、

(d) 前記第一及び第二蛇行部から電気的に絶  
縁されており高導電性物質の所定数のストリップ  
を有する第一組のストリップ、尚各ストリップの  
端部は前記第一蛇行部の対応する中間セグメント  
の端部へ電気的に接続されており、

(e) 前記第一組のストリップと前記第一蛇行  
部と前記第二蛇行部とから電気的に絶縁されてお  
り高導電性物質からなる所定数のストリップを有  
する第二組のストリップ、尚前記第二組の各スト  
リップの端部は前記第二蛇行部の対応する中間セ  
グメントの端部へ電気的に接続されており、且つ  
前記第二組のストリップの少なくとも一部は前記  
第一組のストリップの少なくとも一部と重畳関係  
にあることを特徴とする装置。

## 2. 特許請求の範囲第1項において、

(f) 前記第一蛇行部の一端へ電気的に接続し  
た第一端コンタクト端子、前記第一蛇行部の他端  
へ電気的に接続した第二端コンタクト端子、前記  
第一中間コンタクト端子と前記第一蛇行部の端部

コンタクト端子との間の前記第一蛇行部の部分が少なくとも1個の中間セグメントを有するように前記第一蛇行部の中間セグメントの一端へ電気的に接続した第一中間コンタクト端子、

(g) 前記第二蛇行部の一端へ電気的に接続した第一端コンタクト端子、前記第二蛇行部の他端へ電気的に接続した第二端コンタクト端子、中間コンタクト端子と前記第二蛇行部の端部コンタクト端子との間の前記第二蛇行部の部分が少なくとも1個の中間セグメントを有するように前記第二蛇行部の中間セグメントの一端へ電気的に接続した少なくとも1個の中間コンタクト端子、を有することを特徴とする装置。

3. 特許請求の範囲第2項において、各蛇行部は少なくとも二つのセクションを有しており、各セクションはその一端へ電気的に接続した第一端コンタクト端子を有しており、その他端へ電気的に接続した第二端コンタクト端子を有しており、且つ2個の中間セグメントの端部へ電気的に接続した2個の中間コンタクト端子を有しており、前

7. 特許請求の範囲第6項において、前記第一蛇行部が、ドーブした単結晶シリコンから形成されていることを特徴とする装置。

8. 特許請求の範囲第7項において、前記第二蛇行部がドーブした多結晶シリコンから形成されていることを特徴とする装置。

9. 特許請求の範囲第8項において、前記ストリップがメタルから形成されていることを特徴とする装置。

10. 特許請求の範囲第9項において、前記メタルがアルミニウムを有することを特徴とする装置。

11. 特許請求の範囲第6項において、前記第一蛇行部がドーブした多結晶シリコンから形成されていることを特徴とする装置。

12. 集積回路処理の結果として発生する欠陥を検知する装置において、

(a) 基板、

(b) 基板上に形成した第一蛇行部、尚前記第一蛇行部は所定数の中間セグメントを持った高電

記中間コンタクト端子の一方と端部コンタクト端子との間の前記蛇行部セグメントの部分が少なくとも1個の中間セグメントを有しており、且つ前記二つの中間コンタクト端子の間の蛇行部セグメントの部分が折曲セグメントを有していることを特徴とする装置。

4. 特許請求の範囲第3項において、前記第二蛇行部の中間セグメントが、前記第一蛇行部の中間セグメントに関して実質的に直交して配向されていることを特徴とする装置。

5. 特許請求の範囲第4項において、前記第一組のストリップの各ストリップが、前記第一蛇行部の前記中間セグメントの各々の対応する一つと実質的に重畳関係に配列されていることを特徴とする装置。

6. 特許請求の範囲第5項において、前記第二組のストリップの各ストリップが、前記第二蛇行部の前記中間セグメントの各々の対応する一つと実質的に重畳関係に配列されていることを特徴とする装置。

電気的抵抗性物質を有しており、前記セグメントの端部は折曲セグメントによって相互接続されており、従って前記第一蛇行部の端部間に所定の電気的抵抗を持った電気回路が形成されており、

(c) 前記第一蛇行部から電気的に絶縁されその上方に配設された第二蛇行部、尚前記第二蛇行部は所定数の中間セグメントを持った高電気的抵抗物質を有しており、前記中間セグメントは前記第一蛇行部の中間セグメントに関して実質的に直交して配向されており、前記第二蛇行部の中間セグメントの端部は折曲セグメントによって相互接続されており、従って前記第二蛇行部の端部間に所定の電気的抵抗を持った電気回路が形成されており、

(d) 前記第一及び第二蛇行部から電気的に絶縁されており且つ高導電性物質からなる所定数のストリップを有する第一組のストリップ、尚各ストリップは前記第一蛇行部の前記中間セグメントの各々の対応する一つと実質的に重畳関係に整合されており且つ各ストリップの端部は前記第一蛇

行部の対応する中間セグメントの端部と電氣的に接続されており、

(e) 前記第一組のストリップと前記第一蛇行部と前記第二蛇行部とから電氣的に絶縁されており且つ高導電性物質からなる所定数のストリップを有する第二組のストリップ、尚前記第二組の各ストリップは前記第二蛇行部の中間セグメントの各々の対応する一つと実質的に重畳関係に整列されており且つ前記第二組の各ストリップの端部は前記第二蛇行部の対応する中間セグメントの端部へ電氣的に接続されており、

(f) 前記第一蛇行部の一端に電氣的に接続されている第一端コンタクト端子、前記第一蛇行部の他端へ電氣的に接続されている第二端コンタクト端子、第一中間コンタクト端子と前記第一蛇行部の端部コンタクト端子との間の前記第一蛇行部の部分が1個の中間セグメントを有するように前記第一蛇行部の中間セグメントの端部へ電氣的に接続されている第一中間コンタクト端子、第一及び第二中間コンタクト端子の間の前記第一蛇行部

の部分が1個の折曲セグメントを有するように前記第一蛇行部の第二中間セグメントの端部へ電氣的に接続した第二中間コンタクト端子、

(g) 前記第二蛇行部の一端へ電氣的に接続した第一端コンタクト端子、前記第二蛇行部の他端へ電氣的に接続した第二端コンタクト端子、第一中間コンタクト端子と前記第二蛇行部の端部コンタクト端子との間の前記第二蛇行部の部分が1個の中間セグメントを有するように前記第二蛇行部の中間セグメントの一端へ電氣的に接続した第一中間コンタクト端子、及び前記第二蛇行部の第一及び第二中間コンタクト端子の間の前記第二蛇行部の部分が前記第二蛇行部の1個の折曲セグメントを有するように前記第二蛇行部の第二中間セグメントの一端へ電氣的に接続されている第二中間コンタクト端子、

を有することを特徴とする装置。

13. 特許請求の範囲第12項において、本装置が半導体ウェハ上の所定の位置に模写されていることを特徴とする装置。

14. 集積回路を処理する結果として発生する欠陥を検知する方法において、

(a) 基板に第一蛇行部を形成し、前記第一蛇行部は所定数の中間セグメントを持った高電氣的抵抗物質を有しており、前記セグメントの端部は折曲セグメントによって相互接続されており、従って前記第一蛇行部の端部間に所定の電氣的抵抗を持った電気回路が形成され、

(b) 前記第一蛇行部から電氣的に絶縁して第二蛇行部を形成し、前記第二蛇行部は所定数の中間セグメントを持った高電氣的抵抗物質を有しており、前記中間セグメントの端部は折曲セグメントによって相互接続されており、従って前記第二蛇行部の端部間に所定の電氣的抵抗を持った電気回路が形成されており、

(c) 前記第一及び第二蛇行部から電氣的に絶縁し高導電性物質からなる所定数のストリップを有する第一組のストリップを形成し、各ストリップの端部は前記第一蛇行部の対応する中間セグメントの端部へ電氣的に接続されており、その際に

抵抗 $R_{w1}$ を持った電気回路が前記第一蛇行部の端部間に形成され、

(d) 前記第一組のストリップと前記第一蛇行部と前記第二蛇行部とから電氣的に絶縁されており且つ高導電性物質からなる所定数のストリップを有する第二組のストリップを形成し、前記第二組の各ストリップの端部は前記第二蛇行部の対応する中間セグメントの端部へ電氣的に接続されており、その際に抵抗 $R_{w2}$ を持った電気回路が前記第二蛇行部の端部間に形成され、且つ前記第二組のストリップの少なくとも一部が前記第一組のストリップの少なくとも一部と重畳し、

(e) 前記第一蛇行部の一端へ電氣的に接続して第一端コンタクト端子を形成すると共に前記第一蛇行部の他端へ電氣的に接続して第二端コンタクト端子を形成し、

(f) 前記第二蛇行部の一端へ電氣的に接続して第一端コンタクト端子を形成すると共に前記第二蛇行部の他端へ電氣的に接続して第二端コンタクト端子を形成し、

(g) 前記第一蛇行部の第一及び第二端コンタクト端子間の電気的抵抗 $R_1$ を測定すると共に前記第二蛇行部の第一及び第二端コンタクト端子間の電気的抵抗 $R_2$ を測定し、

(h) (i) 抵抗 $R_1$ の大きさが $R_{M1}$ と実質的に等しく且つ $R_2$ の大きさが $R_{M2}$ に実質的に等しい場合には欠陥なし、一方(ii)抵抗 $R_1$ の大きさが $R_{M1}$ と実質的に等しくなく且つ抵抗 $R_2$ の大きさが $R_{M2}$ と実質的に等しくない場合に垂直方向に伝搬された欠陥が存在することの表示を与える、上記各ステップを有することを特徴とする方法。

15. 集積回路処理の結果として発生する欠陥を検知する装置において、少なくとも一組のテスト構成体が基板上に設けられており、前記組が、

(a) 第一テスト構成体であって、

(i) 前記基板に形成した第一蛇行部、尚前記第一蛇行部は所定数の中間セグメントを持った高電気的抵抗物質を有しており、前記中間セグメントの端部は折曲セグメントによって相互接続されており、従って前記第一蛇行部の端部間に所定

各ストリップの端部は前記第一蛇行部の対応する中間セグメントの端部へ電気的に接合されており、を有する第二テスト構成体、を有することを特徴とする装置。

16. 特許請求の範囲第15項において、第一端コンタクト端子が前記第一蛇行部の一端へ電気的に接続されており、第二端コンタクト端子が前記第一蛇行部の他端へ電気的に接続されており、第三端コンタクト端子が前記第二蛇行部の一端へ電気的に接続されており、且つ第四端コンタクト端子が前記第二蛇行部の他端へ電気的に接続されていることを特徴とする装置。

17. 特許請求の範囲第16項において、複数個の前記組のテスト構成体が前記基板上に設けられていることを特徴とする装置。

18. 特許請求の範囲第17項において、前記第一蛇行部がドーブした単結晶シリコンから形成されていることを特徴とする装置。

19. 特許請求の範囲第18項において、前記ストリップが金属から形成されていることを特

の電気的抵抗を持った電気回路が形成されており、

(ii) 前記第一蛇行部から電気的に絶縁されており且つそれと実質的に非重畳関係で離隔された高導電性物質からなる所定数のストリップを有する第一組のストリップ、尚前記各ストリップの端部は前記第一蛇行部の対応する中間セグメントの端部へ電気的に接続されており、を有する第一テスト構成体、

(b) 第二テスト構成体であって、

(i) 前記基板に形成した第二蛇行部、尚前記第二蛇行部は所定数の中間セグメントを持った高電気的抵抗物質を有しており、前記中間セグメントの端部は折曲セグメントによって相互接続されており、従って前記第二蛇行部の端部間に所定の電気的抵抗を持った電気回路が形成されており、

(ii) 前記第二蛇行部から電気的に絶縁されており高導電性物質からなる所定数のストリップを有する第二組のストリップ、尚各ストリップは前記第二蛇行部の中間セグメントの各々の対応する一つと実質的に重畳関係に整合されており且つ

徴とする装置。

20. 特許請求の範囲第19項において、前記金属がアルミニウムを有することを特徴とする装置。

21. 特許請求の範囲第17項において、前記第一蛇行部がドーブした多結晶シリコンから形成されていることを特徴とする装置。

22. 集積回路を処理する結果として発生する欠陥を検知する方法において、

(a) 基板上に少なくとも一組のテスト構成体を設け、前記組が、

(i) 前記基板に形成した第一蛇行部を有する第一テスト構成体を有しており、前記第一蛇行部は所定数の中間セグメントを持った高電気的固有抵抗物質を有しており、前記中間セグメントの端部は前記第一蛇行部の端部間に所定の電気抵抗を持った電気回路が形成されるように折曲セグメントによって相互接続されており、且つ前記第一蛇行部に関して実質的に重畳しない空間的關係で位置されており且つそれから電気的に絶縁されて

いる高導電性物質からなる所定数のストリップを有する第一組のストリップを有しており、前記各ストリップの端部は前記第一蛇行部の対応する中間セグメントの端部へ電気的に接続されており、その際に前記第一蛇行部の端部間に抵抗 $R_{M1}$ を持った電気回路が形成されており、

(11) 前記基板に形成した第二蛇行部を持った第二テスト構成体を有しており、前記第二蛇行部は所定数の中間セグメントを持った高電気固有抵抗物質を有しており、前記中間セグメントの端部は前記第二蛇行部の端部間に所定の電気抵抗を持った電気回路が形成されるように折曲セグメントによって相互接続されており、前記第二蛇行部から電気的に絶縁され且つ高導電性物質からなる所定数のストリップを有する第二組のストリップを有しており、前記各ストリップは前記第二蛇行部の前記各中間セグメントの対応するものと実質的に重畳関係で整合されており、且つ各ストリップの端部は前記第一蛇行部の対応する中間セグメントの端部へ電気的に接続されており、その際に

抵抗 $R_{M2}$ を持った電気回路が前記第二蛇行部の端部間に形成されており、

(b) 前記第一蛇行部の一端へ電気的に接続した第一端コンタクト端子と前記第一蛇行部の他端へ電気的に接続した第二端コンタクト端子とを設け、

(c) 前記第二蛇行部の一端へ電気的に接続して第一端コンタクト端子を及び前記第二蛇行部の他端へ電気的に接続して第二端コンタクト端子を設け、

(d) 前記第一蛇行部の前記第一及び第二端コンタクト端子間の電気抵抗 $R_1$ 及び前記第二蛇行部の第一及び第二端コンタクト端子間の電気抵抗 $R_2$ を測定し、

(e) (i)  $R_1$ の大きさが $R_{M1}$ と実質的に等しく且つ $R_2$ の大きさが $R_{M2}$ と実質的に等しい場合には欠陥なし、

(11) 抵抗 $R_1$ の大きさが $R_{M1}$ と実質的に等しく且つ抵抗 $R_2$ の大きさが $R_{M2}$ と実質的に等しくない場合には蛇行部処理に起因する欠陥が存在

すること、

(111) 抵抗 $R_1$ の大きさが $R_{M1}$ と実質的に等しくなく且つ抵抗 $R_2$ の大きさが $R_{M2}$ と実質的に等しくない場合にはストリップメタリゼーション処理に起因する欠陥が存在することの表示を与える、

上記各ステップを有することを特徴とする方法。

### 3. 発明の詳細な説明

#### 技術分野

本発明は、集積回路を製造する場合に使用する装置に関するものであって、更に詳細には、この様な回路における欠陥を検知する装置及び方法に関するものである。

#### 従来技術

集積回路設計及び処理の開発において、歩留り予測及び歩留り推定は非常に重要な検討事項である。歩留り予測及び推定を改善するためにスポット欠陥に関連する歩留り損失のモデル化が研究されており、且つその結果として種々の歩留りモデルが提案されている。しかしながら、これらのモ

デルのほとんどのものは、集積回路ダイの表面上の全てのスポット欠陥が機能障害を発生するものと仮定している。この様な仮定は不正確なものであり、且つ集積回路の表面上に観測されるスポット欠陥が必ずしも機能障害を発生させるものではない超大規模集積回路の場合においては特に誤った結果を発生させる蓋然性が高い。

例えば、集積回路表面の密集した領域にこの様な欠陥が発生する場合には、小さな欠陥であっても回路接続部を变形させる場合もある。しかしながら、その様な欠陥が、同一の集積回路の密集度がそれほど高くない領域に位置されている場合には、回路の性能に影響を与えることはない。従って、集積回路レイアウトの詳細に関して欠陥寸法と欠陥位置との間の実質的な関係を考慮に入れることのないモデルは誤った結果を与える可能性がある。

1987年2月6日出願した米国特許出願第11,729号「集積回路においてスポット欠陥を検知する装置及び方法 (Apparatus

and Method For Detecting Spot Defects In Integrated Circuits)」は、集積回路における欠陥の寸法分布及び密度を正確に決定する方法及び装置を開示している。この方法及び装置は、集積回路のメタル層においてスポット欠陥のタイプを決定し、且つそれがオープン又はショートであるか否かを決定する。前掲した特許出願に記載されている方法及び装置は、相互接続処理に関連する欠陥寸法分布を決定する上で著しい改良を与えるものではあるが、垂直方向に伝搬する欠陥によって発生される相互接続欠陥の割合に関する情報を与えるものではない。このような情報は、完全な歩留り解析を行なうために必要である。

#### 目 的

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、集積回路における欠陥を検知する方法及び装置を提供することを目的とする。本発明の別の目的とする

側には、存在する単結晶シリコンを所定の蛇行パターンでドーピングする。ドーピングした蛇行パターンは、残部の単結晶シリコンの固有抵抗よりも実質的に低い固有抵抗を有している。

この単結晶シリコン基板の表面上に例えば二酸化シリコンからなる電気的絶縁性物質の第一層を形成する。次いで、その第一絶縁層上にポリシリコン層を形成する。このポリシリコン層を、好適には、イオン注入によってシート形状にドーピングさせ、次いで加熱して注入領域を活性化させる。次いで、ドーピングしたポリシリコン層を、所定数の中間セグメントを有しており該中間セグメントの端部が折曲セグメントによって相互接続されている第二蛇行部の形状にパターン形成する。第二蛇行部の相互接続した中間セグメント及び折曲セグメントは、その端部間に電気抵抗 $R_2$ を持った電気回路を形成する。好適実施例においては、第二蛇行部の中間セグメントは、第一蛇行部の中間セグメントの上側に存在しており且つそれらに対して実質的に直交している。

ところは、垂直方向に伝搬する欠陥を検知する方法及び装置を提供することである。本発明の更に別の目的とするところは、平面状欠陥から垂直欠陥を区別する方法及び装置を提供することである。本発明の更に別の目的とするところは、スタンダードなMOS又はBICMOS技術の実際の処理の流れの中に容易に組込むことの可能な方法及び装置を提供することである。

#### 構 成

本発明によれば、単結晶シリコン基板の内部又は上部に高電気固有抵抗物質からなる第一蛇行部を形成する。この第一蛇行部は、所定数の中間セグメントを有しており、該中間セグメントの端部は、折曲セグメントによって相互接続されており、従って第一蛇行部の端部間には電気抵抗 $R_1$ を持った電気回路が形成されている。第一蛇行部は、例えば、単結晶シリコンからなる基板の表面上に注入マスクを形成することによって形成される。その注入マスクに蛇行部パターンを形成し、そのパターンを使用して、イオン注入によってその下

次いで、第二蛇行部の上方に電気的絶縁物質からなる第二層を形成し且つ平坦化させる。次いで、これらの第二及び第一絶縁層を介してコンタクト孔を画定し且つエッチング形成し、第一蛇行部の所定の部分を露出させる。次いで、例えばメタル(金属)などのような導電性物質からなる第一層を前記絶縁物質からなる平坦化した第二層上及びコンタクト孔内に付着形成し、第一蛇行部の所定の露出部分と電気的にコンタクトさせる。次いで、第一導電層をパターニングし且つエッチングして第一組のストリップを形成する。第一組のストリップの各々は、第一蛇行部の対応する中間セグメントの端部間に直接的電気接続を与えることにより、第一蛇行部の対応する中間セグメントを電気的にショート即ち短絡している。好適実施例においては、各ストリップは、第一蛇行部の対応する中間セグメントと実質的に整合した状態で位置されている。第一蛇行部及びそれに対して電気的に接続されている第一組の導電性ストリップは、第一テスト構成体を構成している。この第一テスト



構成体は、前掲した米国特許出願第11,729号におけるブリッジ構成体と実質的に均等である。

次いで、第一導電ストリップ上に電気的絶縁物質からなる第三層を形成し且つ平坦化させる。次いで、この第三絶縁層及び第二絶縁層を介してコンタクト孔を画定し且つエッチング形成し、下側に存在するポリシリコン第二蛇行部の所定の領域を露出させる。次いで、例えばメタルなどのような導電性物質からなる第二層を第三絶縁層及びコンタクト孔内に形成し、下側に存在する第二ポリシリコン蛇行部の所定の露出領域とコンタクトさせる。次いで、第二導電層をパターンニングし且つエッチングして、第二組のストリップを形成し、第二組のストリップの各々は、第二蛇行部の対応する中間セグメントの端部間に直接的電気接続を与えることにより、第二蛇行部の対応する中間セグメントを電気的にショートさせる。この第二組の導電性ストリップは、該第二組の少なくとも一部が第一組の導電性ストリップの少なくとも一部と重畳するように配向されている。

ョンにおいてのみならず、第二導電性ストリップが形成されるメタリゼーションに対応するメタリゼーションにおいても、ショート（短絡）又は破壊の密度分布の測定を行なうことが可能である。これらのテスト対は、又、どの欠陥が平面状であり且つどの欠陥が垂直状であるかを決定することを可能とする。このことは、第一テスト構成体における欠陥を検知し且つ第二テスト構成体における欠陥を検知することによって達成することが可能である。1個のテスト対のテスト構成体の一つのみの中に欠陥が検知される場合には、その欠陥が検知されたテスト構成体のレベルに対応する集積回路のレベルの処理にのみ関連する平面状の欠陥である。垂直状の欠陥は、1個のテスト対の両方のテスト構成体内に平面状の欠陥が検知されることによって検知される。単一のテスト構成体内に2個以上の欠陥が存在すること又は1個のテスト対の各々のテスト構成体内に1個の平面状欠陥が存在する蓋然性は低いので、テスト対内の両方のテスト構成体に共通する欠陥は垂直的なもので

好適実施例においては、第二導電性ストリップの各々が、第二蛇行部の対応する中間セグメントと実質的に整合して位置されている。第二蛇行部及びそれに電気的に接続されている第二組の導電性ストリップは、第二テスト構成体を構成している。この第二テスト構成体は、第一組の導電性ストリップの少なくとも一部が第二組の導電性ストリップの下側に存在しており且つそれから電気的に絶縁されているという点を除いて、前掲した米国特許出願における構成と実質的に同一である。その結果得られる構成は、第一及び第二テスト構成体を有しており、第二テスト構成体の一組の導電性ストリップの少なくとも一部が、第一テスト構成体の一組の導電性ストリップの少なくとも一部の上側に存在しており且つそれから電気的に絶縁されており、製造ウェハを同一の処理が行なわれるテストウェハの表面上に複数個のテスト対が分布されている。テストウェハ上にテスト対が分布されているので、第一導電性ストリップが形成されるメタリゼーションに対応するメタリゼーシ

あるということを高い統計的確率を持って推測することが可能である。

#### 実施例

以下、添付の図面を参考に、本発明の具体的実施の態様について詳細に説明する。

第1A図を参照すると、単結晶シリコン物質からなる基板10の表面上にスクリーン酸化物層11が形成されている。このスクリーン酸化物層11は、好適には、約500-1000Åの厚さに熱成長させた二酸化シリコンである。スクリーン酸化物層11の上にホトレジスト物質層12を形成する。ホトレジスト層12は、従来公知のホトリソグラフィ技術を使用して所定の蛇行パターンに形成する。パターン形成したホトレジスト層12は、下側に存在する単結晶シリコン基板をドーブするためのマスクとして作用する。次いで、単結晶シリコン基板10を所定の蛇行パターンでドーブして、第1B図に参照番号14で示しており、且つ好適には第2図に示した形状を有している第一蛇行部を従来公知のイオン注入技術によって形

成する。注意すべきことであるが、第一蛇行部14は、例えば、シリコン基板上方に形成しており且つそれから絶縁されているポリシリコン層をパターンニングするその他の技術によって形成することも可能であり、このような技術も本発明の技術的範囲内のものである。

ドーピングの後に、第1B図に示した如く、ホトレジスト層12を除去する。第2図に示した如く、蛇行パターン14は、複数個の中間セグメント16を有しており、それらは折曲セグメント18によって相互接続されている。相互接続された中間セグメント及び折曲セグメント16及び18は、周囲の単結晶シリコンの抵抗よりも実質的に低い電気抵抗を持った低導電性経路を形成している。中間セグメント16は、好適には、実質的に直線形状をしているが、例えば、鋸歯状又は正弦波形状などのようなその他のパターンを使用することも可能である。

第1C図に示した如く、絶縁物質からなる第一層20が、単結晶基板10及び注入した第一蛇行

部14の表面上に形成する。好適実施例においては、第一絶縁層20は、2層構成を有しており、それは約1000Åの厚さへ熱成長させた二酸化シリコンからなる第一層を有している。次いで、該第一層の上に従来公知の低圧力CVD(LPCVD)を使用して約3000Åの厚さに二酸化シリコンからなる第二層を付着形成する。次いで、第一絶縁層20の上にポリシリコン層22を形成する。次いで、例えばイオン注入によって、層全体に亘りポリシリコン層24をドーピングする。このイオン注入を従来公知の如く加熱により活性化させる。そのようにして処理したポリシリコン層22は、所定の電気的抵抗を有している。

次いで、従来公知のホトリソグラフィ及びエッチング技術によって、ポリシリコン層22を第二蛇行部24(第3図参照)に形成する。第二蛇行部24は、複数個の中間セグメント26を有しており、中間セグメント26の端部は折曲セグメント28によって相互接続されている。このようにして相互接続された中間セグメント及び折曲セグ

メント26及び28は、低導電性経路を形成している。第二蛇行部24の中間セグメント26は、好適には、第3図に概略示した如く、下側に存在する第一蛇行部14の中間セグメント16と実質的に直交関係で位置されている。しかしながら、本発明の実施上、これらの第一蛇行部及び第二蛇行部の間に何ら所定の位置関係を与えることが必要なものではない。

第1E図を参照すると、第二蛇行部24の上に絶縁物質からなる第二層29を形成し次いで平坦化する。好適実施例においては、この第二絶縁層29は二酸化シリコンであり、それは従来公知のLPCVD技術を使用して、約7000Åの厚さに付着形成する。第二絶縁層29及び第一絶縁層20を介してコンタクト孔30をエッチング形成し、下側に存在する第一蛇行部14における所定領域を露出させる。これらの領域は、第一蛇行部14の中間セグメント16の端部近傍に位置している。第一蛇行部14の中間セグメント16及び折曲セグメント18に関するコンタクト孔30の

好適な関係は第3図に示してある。

第1F図を参照すると、高導電性物質からなる第一層32を第二絶縁層29及びコンタクト孔30内に付着形成し、コンタクト孔30によって露出されている所定領域において下側に存在する第一蛇行部14と電気的コンタクトを形成する。好適実施例においては、第一高導電性層32は、例えばアルミニウムなどのようなメタルを有している。高導電性(低固有抵抗)、及び低導電性(高固有抵抗)という用語は、本明細書においては、高導電性物質が低導電性物質の電気的導電度の少なくとも1桁大きい電気的導電度を有するような関係であることを意味している。好適実施例においては、高導電性物質の導電度は、低導電性物質の導電度の約5000倍である。

次いで、第一高導電性層32をパターン形成し且つエッチングして第一組のストリップ35を形成する複数個のストリップ34(第4図参照)を形成する。各ストリップ34は、好適には、対応する下側に存在する中間セグメント16に関して

実質的に一致する重畳する離隔関係で位置されており、且つ対応する下側に存在する中間セグメントの幅及び長さそれぞれ実質的に等しい幅及び長さを有している。注意すべきことであるが、好適なものであるとしても、ストリップ34と対応する中間セグメント16との間のこの様な空間的整合及び寸法上の等価性は、各導電性ストリップ34が対応する中間セグメント16の端部間に電氣的に接続されている限り、本発明の実施上必ずしも必要なものではない。

各ストリップ34の端部は、絶縁層29及び20を介して形成されているコンタクト孔30内のビア即ち貫通導体31によって、第一蛇行部14の対応する下側に存在する中間セグメント16へ電氣的に接続されている。従って、各導電性ストリップ34は、対応する下側に存在する中間セグメント16の端部間に電氣的に接続されている。

第一、第二、第三、第四端コンタクト端子36, 38, 40, 42及び第一、第二、第三、第四中間コンタクト端子37, 39, 41, 43のそれ

に接続されている。第一蛇行部14及びそれから電氣的に絶縁されている上側に存在するメタルストリップ34は、第一テスト構成体48を構成しており、それは第一36及び第二38端部コンタクト端子間に電氣的に接続されている第一セクション50と、第三40及び第四42端部コンタクト端子間に電氣的に接続されている第二セクション52を有している。第一37及び第二39中間コンタクト端子は、第一テスト構成体48の第一セクション50の第一折曲セグメント45（その一部は第4図に示した図面において中間コンタクト端子37及び39の電氣的接続リードによって隠されている）の端部へ電氣的に接続されている。第三41及び第四43中間コンタクト端子は、第一テスト構成体48の第二セクション52の第一折曲セグメント47（その一部は第4図に示した図面中の中間コンタクト端子37及び39の電氣的接続リードによって隠されている）の端部へ電氣的に接続されている。

第1F図及び第4図から理解される如く、第一

それは、第4図に示した如く、第一高導電性層32内に形成されている。本実施例においては4個の端部コンタクト端子及び4個の中間コンタクト端子を使用しているが、蛇行部の数及び寸法及びテスト構成体へ分割すべきセクションの数に依存して、付加的な端部及び中間コンタクト端子を使用することが可能である。この様な、付加的なコンタクト端子を使用する別の実施例も本発明の技術的範囲に属するものである。

第一端コンタクト端子36は、第一蛇行部14の第一セクション44の一端において、ビア即ち貫通導体31へ電氣的に接続されている。第二端コンタクト端子38は、第一蛇行部14の第一セクション44の他端においてビア即ち貫通導体31へ電氣的に接続されている。第三端部コンタクト端子40は、第一蛇行部14の第二セクション46の一端においてビア即ち貫通導体31へ電氣的に接続されており、且つ第四端部コンタクト端子42は、第一蛇行部14の第二セクション46の第二端においてビア即ち貫通導体31へ電氣的

テスト構成体48は、前掲した米国特許出願に記載したテスト構成体と類似している。これら二つのテスト構成体の顕著な相違点は、第4図に示した如く本発明の好適実施例においては、第二蛇行部24の複数個の直交して位置させた中間セグメント26が単結晶シリコン基板10内の下側の蛇行部14と上側のメタルストリップ34との間に配設されている点である。

第1G図を参照すると、メタルストリップ34上に絶縁物質からなる第三層54を形成し且つ平坦化させる。好適実施例においては、この第三絶縁層54は約7000Åの厚さに熱成長させた二酸化シリコンである。第三絶縁層54及び第二絶縁層29を介してコンタクト孔56をエッチング形成し、下側に存在する第二蛇行部24における所定領域を露出させる。これらの領域は、第二蛇行部29の中間セグメント26の端部近くに位置されている。第二蛇行部24の中間セグメント26及び折曲セグメント28に関するコンタクト孔56の好適な関係は第5図に示してある。注意す

べきことであるが、コンタクト孔56は、好適には、第一テスト構成体48の外側に形成され、従って第一テスト構成体48の部分を露出することはない。

高導電性物質からなる第二層58を第三絶縁層54及びコンタクト孔56内に付着形成し、コンタクト孔56によって露出される所定領域において下側に存在する第二蛇行部24と電気的コンタクトを形成するビア即ち貫通導体60を形成する。好適実施例においては、この第二高導電性層58は例えばアルミニウムなどのようなメタルを有している。

次いで、この第二高導電性層58をパターン形成して、第二組のストリップ63を形成する複数個のストリップ62（第1H図及び第5図参照）を形成する。各ストリップ62は、好適には、対応する下側に存在する中間セグメント26に関して実質的に一致し且つ重畳する離隔した関係で位置されており、且つ下側に存在する中間セグメント26のそれぞれの幅及び長さを実質的に等しい

高導電性層58内に形成されている。本実施例においては、4個の端部コンタクト端子及び4個の中間コンタクト端子を使用しているが、蛇行部の数及び寸法及びテスト構成体を分割すべきセクションの数に依存して、付加的な端部及び中間コンタクト端子を使用することが可能である。このような変形例も、本発明の技術的範囲内に包含されるものである。

第五端部コンタクト端子64は、第二蛇行部24の第一セクション72の一端においてビア即ち貫通導体60へ電気的に接続されている。第六端部コンタクト端子66は、第二蛇行部24の第一セクション72の他端においてビア即ち貫通導体60へ電気的に接続されている。第七端部コンタクト端子68は、第二蛇行部24の第二セクション74の一端においてビア即ち貫通導体60へ電気的に接続されており、且つ第八端部コンタクト端子70は、第二蛇行部24の第二セクション74の他端においてビア即ち貫通導体60へ電気的に接続されている。第二蛇行部24、及び下側に

幅及び長さを有している。好適なものではあるが、ストリップ62と中間セグメント26との間のこのような特別の整合状態及び寸法均等性は、各導電性ストリップ62が対応する中間セグメント26の端部間に電気的に接続されている限り、本発明の実施上必ずしも必要なものではない。しかしながら、第二組のストリップ63の少なくとも一部が第一組のストリップ35の少なくとも一部と重畳関係にあることが必要である。

各ストリップ62の端部は、第三54及び第二29絶縁層を介して形成したコンタクト孔56におけるビア即ち貫通導体60によって、下側に存在する第二蛇行部24の対応する中間セグメント26の端部へ電気的に接続されている。従って、各導電性ストリップ62は、下側に存在する対応する中間セグメント26の端部間に電気的に接続されている。第五、第六、第七、第八端部コンタクト端子64、66、68、70及び第五、第六、第七、第八中間コンタクト端子65、67、69、71のそれぞれは、第5図に示した如く、第二の

存在する第二蛇行部24から電気的に絶縁されている上側に存在するメタルストリップ62は、第二テスト構成体76を形成しており、その第二テスト構成体76は、第五64及び第六66端部コンタクト端子の間に電気的に接続されている第一セクション78と、第七68及び第八70端部コンタクト端子の間に電気的に接続されている第二セクション80とを有している。第五65及び第六67中間コンタクト端子は、第二テスト構成体76の第一セクション78の第一折曲セグメント73の端部へ電気的に接続されている。第七69及び第八71中間コンタクト端子は、第二テスト構成体76の第二セクション80の第一折曲セグメント75の端部へ電気的に接続されている。第1H図及び第5図から理解される如く、第二テスト構成体76は、前掲した特許出願に記載されているテスト構成体と類似しているが、その主要な差異は、第1H図及び第5図に示した本発明の好適実施例においては、下側に存在する第二蛇行部24と上側に存在するメタルストリップ62との

間に第一テスト構成体48の複数個の直交して位置したメタルストリップ34が配設されている点である。

第5図においては、個々のテスト構成体48及び76が各々二つのセクションへ分割されて示されているが、各テスト構成体は、使用されるテスト構成体の寸法に依存して、単一のセクションを有する構成とするか、又は二つ以上のセクションへ分割した構成とすることが可能であり、これらの変形例は本発明の技術的範囲内のものである。テスト対は、第二テスト構成体の、又は二つ以上のセクションを有している場合には第二テスト構成体の一つのセクションの一组の導電性ストリップの少なくとも一部が対応する第一テスト構成体又はそのセクションの一组の導電性ストリップの少なくとも一部と重畳する構成として両定されている。

第5図に示した好適実施例においては、これらのテスト対は以下の如くである。第一セクション78の導電性ストリップ62が第5図において点

線で囲った区域200において第一セクション50の導電性ストリップ34と重畳即ち上下関係にあるので、第一テスト構成体48の第一セクション50と第二テスト構成体76の第一セクション78である。第二セクション80のストリップ62が点線で囲った区域202において第一セクション50のストリップ34と重畳関係にあるので、第一テスト構成体48の第一セクション50と第二テスト構成体76の第二セクション80とである。第一セクション78のストリップ62が点線で囲った区域204内において第二セクション52のストリップ34と重畳関係にあるので、第一テスト構成体48の第二セクション52と第二テスト構成体76の第一セクション78とである。最後に、第二セクション80のストリップ62が点線で囲った区域206内において第二セクション52のストリップ34と重畳関係にあるので、第一テスト構成体48の第二セクション52と第二テスト構成体76の第二セクション80とである。

上述した集積回路の垂直方向に伝搬した欠陥を検知する装置は以下の如くに使用される。第6図を参照すると、例示的なテスト構成体の代表的部分の等価回路を概略示している。T<sub>1</sub>は、テスト構成体の一つのセクションの一端における端部コンタクト端子を表わしている（例えば、第一端コンタクト端子36、第三端コンタクト端子40、第五端コンタクト端子64、又は第七端コンタクト端子68）。T<sub>2</sub>は、テスト構成体のそのセクションの他端における端部コンタクト端子を表わしている（例えば、第二端コンタクト端子38、第四端コンタクト端子42、第六端コンタクト端子66、又は第八端コンタクト端子70）。T<sub>3</sub>は、テスト構成体の中間コンタクト端子を表わしている（例えば、第一37、第三41、第五65、又は第七69中間コンタクト端子）。T<sub>4</sub>は、そのテスト構成体の別の中間コンタクト端子を表わしている（例えば、第二39、第四43、第六67、又は第八71中間コンタクト端子）。R<sub>1</sub>は、端子T<sub>1</sub>とT<sub>2</sub>との間の各中間セグメント

の抵抗を表わしている（例えば、第一蛇行部14の中間セグメント16、又は第二蛇行部24の中間セグメント26）。

R<sub>2</sub>は、端子T<sub>3</sub>とT<sub>4</sub>との間の各折曲セグメントの抵抗を表わしている（例えば、第一蛇行部14の折曲セグメント18、又は第二蛇行部24の折曲セグメント28）。注意すべきことであるが、図示した実施例においては、折曲セグメントの抵抗R<sub>2</sub>は、第一及び第二中間コンタクト端子37及び39の間、第三及び第四中間コンタクト端子41及び43の間、第五及び第六中間コンタクト端子65及び67の間、及び第七及び第八中間コンタクト端子69及び71の間の抵抗を測定することによって決定することが可能である。更に注意すべきことであるが、折曲セグメントの抵抗R<sub>2</sub>は、又、T<sub>3</sub>を折曲セグメントへ接続しているメタルストリップが不変のままである限り、T<sub>3</sub>とT<sub>4</sub>との間の抵抗を測定することによって決定することも可能である。例えば、第6図を参照すると、T<sub>3</sub>とT<sub>4</sub>との間の抵抗は、R<sub>2</sub>

と等しい。なぜならば、短絡回路82によって示されているメタルストリップは、抵抗 $R_1$ をショート即ち短絡しているからである。各中間セグメントは、中間セグメントの各端部へ電氣的に接続されているメタルストリップ（例えば、第一テスト構成体48のメタルストリップ32、又は第二テスト構成体76のメタルストリップ62）によって電氣的に短絡されている。このことは、各抵抗 $R_1$ を横断する短絡回路82によって第6図中に概略的に示されている。端子 $T_1$ と $T_{N+1}$ との間の抵抗 $R_T$ は、欠陥のないテスト構成体においては $NR_F$ と等しい。尚、 $N$ は端子 $T_1$ と $T_{N+1}$ との間の折曲セグメントの数に等しい。

第5図に示した例示的なテスト構成体においては、各テスト構成体の各セクション内に7個の折曲セグメントが存在している。即ち、第一36及び第二38端部コンタクト端子間と、第三40及び第四42端部コンタクト端子間と、第五64及び第六66端部コンタクト端子間と、第七68及び第八70端部コンタクト端子間との間に7個の

リップ62において破断を発生させるメタルの不存在によって特性付けられる欠陥85が存在しているものと仮定する。これらの欠陥は概略第8図に示してある。

第一テスト構成体48の第一セクション50において第二、第三、第四メタルストリップ34を短絡する過剰なメタルの欠陥83は、短絡回路84で表わしており、それは第一蛇行部14の第二、第三、第四中間セグメント16を表わす第二、第三、第四抵抗 $R_1$ を横断する短絡回路82間に接続されている。この欠陥の結果、第一テスト構成体48の第一セクション50の端子 $T_1$ と $T_2$ （端部コンタクト端子36及び38）の間の抵抗 $R_1$ は $5R_F$ と等しい。なぜならば、この欠陥は、第一蛇行部14の第二及び第三折曲セグメント18を短絡しており、第一端部コンタクト端子36（ $T_1$ ）と第二端部コンタクト端子38（ $T_2$ ）との間の回路内に五つの折曲セグメントを残存させているからである。 $5R_F$ の大きさは $7R_F$ の大きさよりも小さいので、欠陥は、第一テスト構

折曲セグメントが存在している。従って、第5図に示した例示的テスト構成体の各セクションに対しては、 $N=7$ 及び $R_T=7R_F$ である。

第5図に示した第二テスト構成体76の第一セクション78の2個のメタルストリップ62内に開回路を発生するメタルの不存在によって特性付けられるメタリゼーション層内に欠陥が存在するものと仮定すると、端子 $T_3$ と $T_4$ （端部コンタクト端子64及び66）の間の抵抗 $R_T$ は、 $7R_F+2R_1$ と等しい。なぜならば、二つの抵抗 $R_1$ を横断しての二つの短絡回路82が対応するメタルストリップ62内の開回路に起因して開状態であるからである。

第7図を参照すると、第5図に示した二つのテスト構成体48及び76が示されている。第一テスト構成体48の第一セクション50において第二、第三及び第四のメタルストリップ34を短絡させる過剰なメタルによって特性付けられる欠陥83が存在しており、且つ第二テスト構成体76の第一セクション78の第三及び第四メタルスト

構成体48の第一セクション50内に発生したものとして表示される。

第二テスト構成体76の第一セクション78におけるメタルの不存在による欠陥85は、第二蛇行部24の第三及び第四中間セグメント26を表わす第三及び第四抵抗 $R_1$ を横断する短絡回路82における開放部分によって表わされている。この欠陥の結果として、第二テスト構成体76の第一セクション78の端子 $T_3$ と $T_4$ （端部コンタクト端子64及び66）の間の抵抗 $R_2$ は、 $7R_F+2R_1$ と等しい。なぜならば、その欠陥が、第二蛇行部24における2個の中間セグメント26を横断する短絡回路を開放しているからである。 $7R_F+2R_1>7R_F$ であるから、欠陥は、第二テスト構成体76の第一セクション78において発生したものとして表示される。最後に、両方の欠陥は一つのテスト対内において発生したものであるから、即ち区域200においてオーバーラップ即ち重畳するメタルストリップ34と62とを夫々有するテスト構成体48及び76の垂直方

向に隣接する第一セクション50及び78内において発生しているので、垂直欠陥が発生したものと考えられる。更に、それは、区域200によって画定される区域内において発生したものと考えられる。

第9図を参照すると、第7図に示した欠陥83及び85の両方ともが過剰メタル欠陥であると仮定する。更に、この実施例の場合、過剰メタル欠陥83が、第一テスト構成体48の第一セクション50における第二、第三、第四メタルストリップ34を短絡し、且つ過剰メタル欠陥85が第二テスト構成体76の第一セクション78の第二、第三、第四、第五メタルストリップ62を短絡するものと仮定する。更に、これらの過剰メタル欠陥83及び85は互いに短絡されているものと仮定する。このことは、模式的に短絡回路88によって表わされており、それは第二、第三、第四メタルストリップ34を短絡する第一テスト構成体48における過剰メタル欠陥83によって発生される短絡回路84と、第二、第三、第四、第五メ

タルストリップ62を短絡する第二テスト構成体76における過剰メタル欠陥85によって発生される短絡回路86との間に接続されている。

第一テスト構成体48の第一セクション50と第二テスト構成体76の第一セクション78との間の短絡回路88のために、第一テスト構成体48の第一セクション50の第一端コンタクト端子36 ( $T_1$ ) か又は第二端コンタクト端子38 ( $T_2$ ) の何れか一方と第二テスト構成体76の第一セクション78の第五端コンタクト端子64 ( $T_5$ ) か又は第六端コンタクト端子66 ( $T_6$ ) の何れかとの間に測定可能な有限の抵抗が存在する(即ち、開放回路を表わすものよりも小さな値を持った抵抗R)。

第9図に示した如く、第一端コンタクト端子 $T_1$ と第五端コンタクト端子 $T_5$ との間の抵抗は $2R_F$ と等しい。なぜならば、 $T_1 - T_5$ 回路内には2個の残存する折曲セグメントが存在するからである。 $T_1 - T_5$ 回路内には4個の残存する折曲セグメントが存在するので(尚、簡単化のた

めに、第5図及び第7図の実施例の構成において図示した各セクションの7個の中間セグメントを表わす7個の $R_F$ の抵抗のうちの3個は、第8図及び第9図の図示例からは省略してある)、第一端コンタクト端子 $T_1$ と第六端コンタクト端子 $T_6$ との間の抵抗 $R_T$ は $4R_F$ と等しい。第二端コンタクト端子 $T_2$ と第五端コンタクト端子 $T_5$ との間の抵抗 $R_T$ は $5R_F$ と等しく、且つ第二端コンタクト端子 $T_2$ と第六端コンタクト端子 $T_6$ との間の抵抗は $7R_F$ と等しい。

過剰メタル欠陥83の結果として、第一テスト構成体48の第一セクション50の端子 $T_1$ と $T_2$ (端部コンタクト端子36及び38)との間の抵抗 $R_1$ は、第8図に関し前述した如く、 $5R_F$ と等しい。この場合においても、 $5R_F$ は $7R_F$ よりも小さいので、第一テスト構成体48の第一セクション50において欠陥が発生したものと表示される。更に、過剰メタル欠陥85の結果として、第二テスト構成体76の第一セクション78の端子 $T_5$ と $T_6$ (端部コンタクト端子

64及び66)との間の抵抗 $R_2$ は、 $4R_F$ と等しい。なぜならば、その欠陥は、第二蛇行部24における7個の折曲セグメント28のうちの3個を短絡させているからである。 $4R_F$ は $7R_F$ よりも小さいので、第二テスト構成体76の第一セクション78において欠陥が発生したものと表示される。この実施例においては、両方の欠陥が1個のテスト対内において発生するので、即ち、区域200においてオーバーラップするメタルストリップ34及び62をそれぞれ有するテスト構成体48及び76の垂直方向に隣接する第一セクション50及び78内において発生するので、垂直欠陥が発生したものと考えられる。更に、その欠陥は区域200によって画定される領域内に発生したものと考えられる。

各個別のテスト構成体48及び76は、スポット欠陥の寸法及び分布を決定するために使用することが可能であり、且つ前掲した特許出願に記載される手順に従ってこの様な欠陥の密度を決定するために使用することも可能である。更に、本明

細書に記載した垂直テスト構成体を使用することにより、垂直方向に伝搬した欠陥の存在を決定すること及びその寸法分布更にその様な欠陥の密度を決定することを可能としている。この様な決定は、本発明の構成を組み込んだテストダイ上において一貫性を持って且つ正確に行なうことが可能であり、且つこのテストダイは集積回路半導体装置と同一の処理を経験しているので、この様な決定は、それらの集積回路装置が実際の機能障害を示すものではない場合であっても、これらの集積回路装置に帰属するものとさせることが可能である。

第10図を参照すると、第一テスト構成体48（下部）及び第二テスト構成体76（上部）を有する垂直二重ブリッジテスト構成体を表わす概略断面図が示されている。これらのテスト構成体は、1個のテスト対を形成している。なぜならば、上部テスト構成体76の一組の導電性ストリップ62の少なくとも一部が下部テスト構成体48の一組の導電性ストリップ32の少なくとも一部と重畳しているからである。第10図は、それが模式

における短絡回路平面状欠陥を有する場合、一方のテスト構成体内における短絡回路平面状欠陥と他方のテスト構成体内における開放回路平面状欠陥とを有する場合、一方のテスト構成体及び他方のテスト構成体の両方において短絡回路平面状欠陥を有する場合、及び一方のテスト構成体及び他方のテスト構成体の両方において開放回路平面状欠陥を有する場合などを包含することが可能である。

本明細書において定義される垂直欠陥は、更に、1個のテスト対の一方のテスト構成体における一つのメタルストリップが該テスト対の他方のテスト構成体における1個のメタルストリップと短絡する場合、一方のテスト構成体における2個以上のメタルストリップが他方のテスト構成体における1個のメタルストリップと短絡する場合、一方のテスト構成体における1個のメタルストリップが他方のテスト構成体における2個以上のメタルストリップと短絡する場合、一方のテスト構成体における少なくとも1個のメタルストリップが他方のテスト構成体における少なくとも1個のメタル

的に示した垂直欠陥102を有しているという点を除いて、第1H図に示した概略図と実質的に同一である。

この実施例の場合、便宜上、垂直欠陥102は、上部テスト構成体76の2個の隣接するメタルストリップ62を短絡し且つ下部テスト構成体48における4個の隣接するメタルストリップ32を短絡する過剰メタル欠陥であると仮定する。前述した如く、垂直欠陥は、1個のテスト対の各テスト構成体における開放即ち短絡回路の形態において平面状欠陥を発生する任意の欠陥である。換言すると、1個のテスト対の一方のテスト構成体において平面状欠陥が検知され、且つそのテスト対の他方のテスト構成体において同一の手順により平面状の欠陥が検知されると、それは垂直欠陥が存在することを示している。

垂直欠陥は、1個のテスト対の両方のテスト構成体内に平面状欠陥が発生する限り、1個のテスト対の一方のテスト構成体内における開放回路平面状欠陥と該テスト対の他方のテスト構成体内に

ルストリップと短絡し且つ更にそれが該テスト対と垂直方向に隣接する1個以上のテスト構成体における少なくとも1個のメタルストリップと短絡回路を発生させる場合などのような導電性欠陥も包含している。従って、垂直欠陥は、必ずしも平面状欠陥を発生するものではないが、垂直方向に隣接したテスト構成体間に短絡回路を発生するようなタイプの欠陥をも包含している。

本実施例においては、垂直欠陥102は、上部テスト構成体において2個の隣接するメタルストリップを短絡し且つ下部テスト構成体において4個の隣接するメタルストリップを短絡するものと仮定する。従って、第10図は、上部テスト構成体76の隣接するメタルストリップ62の間に延在し且つそれらを電気的に接触する欠陥102を示しており、且つ第10図に示した断面は、下部テスト構成体48におけるメタルストリップ32と平行にとってあるので、その欠陥は第10図の断面の垂直方向に延在しており、下部テスト構成体48における4個の隣接するメタルストリップ



32の間を延在しそれらを電氣的に接続している。

垂直欠陥102の検知及びその寸法の決定は、好適には、以下の如くに行なわれる。本実施例における欠陥102は上部テスト構成体76における2個の隣接するメタルストリップ62を短絡し且つ下部テスト構成体48において4個の隣接するメタルストリップ32を短絡しているので、欠陥102は、下部テスト構成体48において平面状欠陥として検知され、且つ上部テスト構成体76においても平面状欠陥として検知される。尚、この場合に、前掲した米国特許出願第11, 729号に記載する平面状欠陥を検知する手順に従って行なうとよい。上部テスト構成体76と下部テスト構成体48とは1個のテスト対を形成しているので、これらのテスト構成体の各々における平面状欠陥の検出は、前述した如く、導電性ストリップのオーバーラップする区域における垂直欠陥が存在することを表示するものと考えることが可能である。各テスト構成体におけるその欠陥の平面状寸法は、前掲した米国特許出願に記載する手

順に従って決定される。

垂直欠陥102の寸法は、前掲した米国特許出願に記載される手順に従って、上部及び下部テスト構成体の各々において行なわれる平面状欠陥寸法決定の平均値をとることによって決定される。例えば、この平面状寸法決定が、その欠陥が、下部テスト構成体において直径 $D_1$ を有しており、且つ上部テスト構成体において直径 $D_2$ を有しているものを表わす場合には、垂直欠陥寸法は、 $(D_1 + D_2) / 2$ として示される。理解すべきことであるが、垂直欠陥は隣接するテスト構成体間に延在すべく十分に大きなものでなければならぬので、各垂直欠陥は、少なくとも、一方のテスト構成体におけるメタルストリップと垂直方向に隣接するテスト構成体におけるメタルストリップとの間の距離に等しい最小寸法を有している。この考察は、垂直欠陥が一方のテスト構成体における単に1個のメタルストリップを垂直方向に隣接するテスト構成体における単に1個のメタルストリップと短絡しており且つ各テスト構成体にお

ける隣接するメタルストリップ間の間隔の幅は垂直方向に隣接するテスト構成体におけるメタルストリップ間の距離よりも小さい場合において特に重要となる。この様な場合においては、各テスト構成体における平面状欠陥は存在せず、従って垂直欠陥が検知されたとしても、決定可能な寸法を有するものではない。

垂直方向に伝搬した欠陥の寸法分布及び密度を第11図にヒストグラムの形態で示してある。第11A図は、この様な欠陥の半径の関数として層 $i$ において発生するスポット欠陥の数のヒストグラムである。第11A図は、層 $i$ の直ぐ下側に存在する層である層 $i-1$ 内に発生する欠陥の分布に与える影響を示している。層 $i-1$ から発生する三次元欠陥の分布を第11D図のヒストグラムに示してある。

第11C図は、層 $i-2$ 即ち層 $i$ の下側2番目に存在する層から発生する垂直欠陥によって発生される層 $i$ におけるスポット欠陥の分布のヒストグラムである。同様に、第11B図は、層 $i-3$ 、

即ち層 $i$ から下側3番目の層から発生する垂直欠陥によって発生される層 $i$ 内のスポット欠陥の分布のヒストグラムである。

第11E図は、層 $i$ 自身内に発生するスポット欠陥のみならず、層 $i-1$ 、 $i-2$ 、 $i-3$ 内に発生する垂直欠陥の累積的結果によって発生される層 $i$ 内におけるスポット欠陥の分布のヒストグラムである。第11E図のヒストグラムの各棒線の実効高さは次式によって決定される。

$$h_i^{(1,1)} = h_i^{(1)} + h_{i-1}^{(1)} \alpha_{i-1}^{(1)} + h_{i-2}^{(1)} \alpha_{i-2}^{(1)} + \dots$$

且つ、その分布は次式によって計算される。

$$Y = \prod_{j=1}^k \exp \left[ - \sum_{i=1}^k h_i^{(j,1)} A_i^{(j)} (R_i^{(j)}) \right]$$

本発明の別の実施例を使用することにより、欠陥がメタリゼーション（導電性ストリップ）層の形成に起因するものであるか、又はメタリゼーション層下側の多結晶（蛇行部）層の形成に起因するものであるかを決定することが可能である。この実施例においては、ウェハ上に設けられる少な

くとも一組の二つのタイプのテスト構成体が存在する。各タイプのテスト構成体は、蛇行部502及び関連する一組の導電性ストリップ504を有している。しかしながら、一方のテスト構成体のタイプにおいては、導電性ストリップ504が蛇行部502と重畳関係にある（例えば、本実施例における場合のその一部を第12A図の平面図に示してある）。他方のタイプのテスト構成体においては、導電性ストリップ504は蛇行部502と重畳関係にない（例えば、本実施例におけるその一部を第12B図の平面図に示してある）。

欠陥が多結晶蛇行部を形成する期間中に発生し、且つこれらの欠陥がメタリゼーション（導電性ストリップ）レベル内へ上方方向に伝搬するものと仮定する。この場合、第12A図に示した構成体のタイプにおける歩留りは、第12B図に示した構成体のタイプにおける歩留りよりも低いものとなる。なぜならば、多結晶層における欠陥は、メタリゼーション層内へ伝搬し、第12A図に示した構成体内において上側に存在する導電性ストリッ

プに破断を発生するからである。しかしながら、このような欠陥は、導電性ストリップが蛇行部と重畳関係にないので、第12B図に示した構成体の導電性ストリップに破断を発生させる傾向はない。

導電性ストリップの形成期間中に欠陥が発生するものと仮定する。この場合には、第12A図及び第12B図に示した構成体における歩留りは実質的に等しく、且つ欠陥のない処理の場合に予定されるものよりも低いものである。なぜならば、これらの欠陥はメタリゼーション層内に発生し且つ両方のタイプの構成体において実質的に均一に分布されているからである。従って、本発明のこの別の実施例を使用することにより、欠陥の発生源を決定することが可能であり、即ち欠陥が多結晶シリコン処理ステップ期間中に発生したものであるか又はメタリゼーション処理ステップ期間中に発生したものであるかを決定することが可能である。

以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限

定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 4. 図面の簡単な説明

第1A図乃至第1H図は本発明の好適実施例に基づいてテスト構成体を製造するために実施される種々の処理ステップを示した各概略断面図、第2図は本発明に基づいて単結晶シリコンからなる基板内に形成した第一蛇行部を示した概略平面図、第3図は本発明に基づいて第2図に示した蛇行部に関し直交方向に回転させた第二蛇行部を示した概略平面図、第4図は下側に存在する第一及び第二蛇行部に関してその位置関係を示したパターン形成した第一導電層を示した概略平面図、第5図は下側に存在する第一及び第二蛇行部及び第一のパターン形成した導電層に関してその位置関係を示した第二のパターン形成した導電層を示した概略平面図、第6図は本発明の好適実施例に基づいて構成した代表的テスト構成体の一部を示した概略図、第7図は第一テスト構成体における欠陥と

第二テスト構成体における欠陥とを示した第5図と同様の概略平面図、第8図は各テスト構成体内に開放回路欠陥が存在する場合の第7図に示したテスト構成体の等価回路を示した概略図、第9図は各テスト構成体内に過剰メタル欠陥が存在する場合の第7図に示したテスト構成体の等価回路を示した概略図、第10図は例示的な三次元欠陥を有する垂直二重ブリッジテスト構成体を示した概略断面図、第11図A乃至Eは代表的な半導体構成体の層i内に発生するスポット欠陥の頻度と欠陥直径との関係を示した各ヒストグラム図、第12A図は本発明の別の実施例に基づいて構成された一組のテスト構成体の一方のタイプのテスト構成体を示した概略平面図、第12B図は本発明の別の実施例に基づいて構成された一組のテスト構成体の第二のタイプのテスト構成体を示した概略平面図、である。

（符号の説明）

10：基板

11：スクリーン酸化物層

- 12 : ホトレジスト層
- 14 : 第一蛇行部
- 16 : 中間セグメント
- 18 : 折曲セグメント
- 20 : 第一絶縁層
- 22 : ポリシリコン層
- 24 : 第二蛇行部
- 26 : 中間セグメント
- 28 : 折曲セグメント
- 29 : 第二絶縁層
- 30 : コンタクト孔
- 32 : 第一高導電性物質層
- 34, 35 : ストリップ (細条部)
- 36, 38, 40, 42 : 端部コンタクト端子
- 37, 39, 41, 43 : 中間コンタクト端子
- 44, 50 : 第一セクション
- 46, 52 : 第二セクション
- 54 : 第三絶縁層
- 58 : 第二高導電物質層

図面の浄書(内容に変更なし)

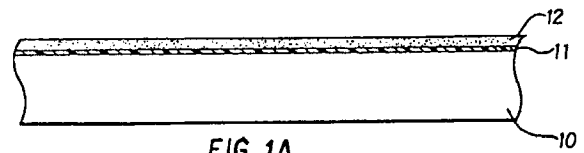


FIG. 1A

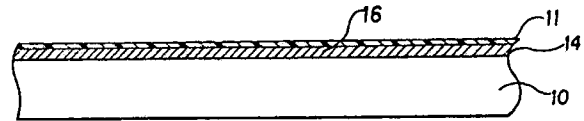


FIG. 1B

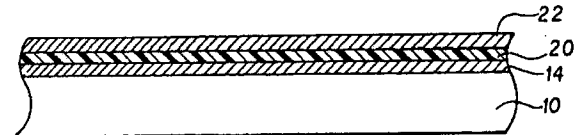


FIG. 1C

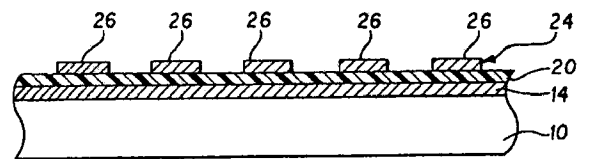


FIG. 1D

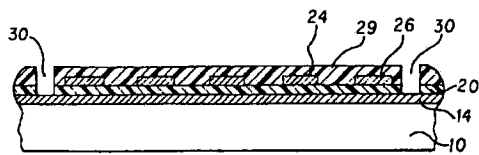


FIG. 1E

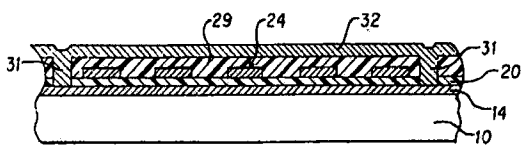


FIG. 1F

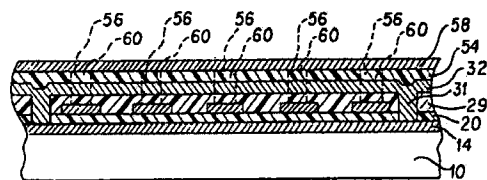


FIG. 1G

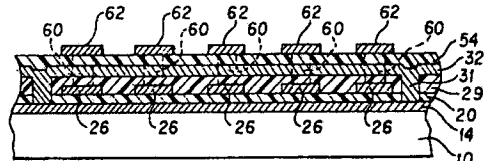


FIG. 1H

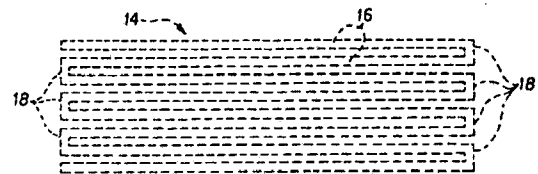


FIG. 2

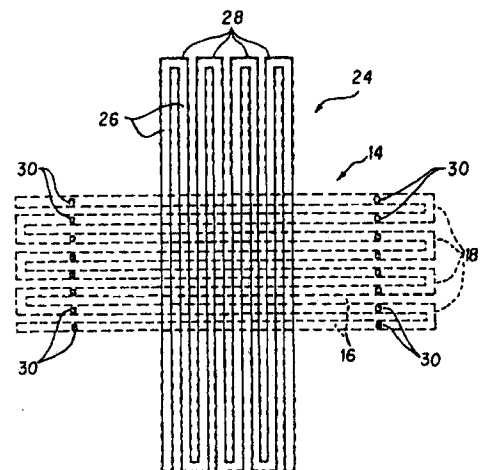


FIG. 3

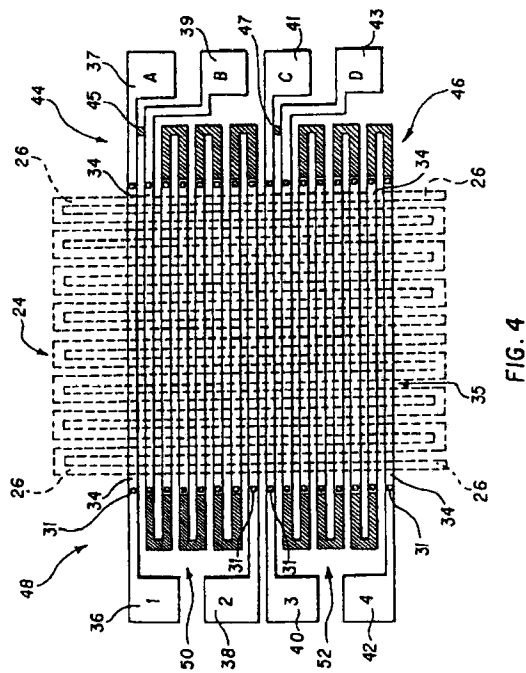


FIG. 4

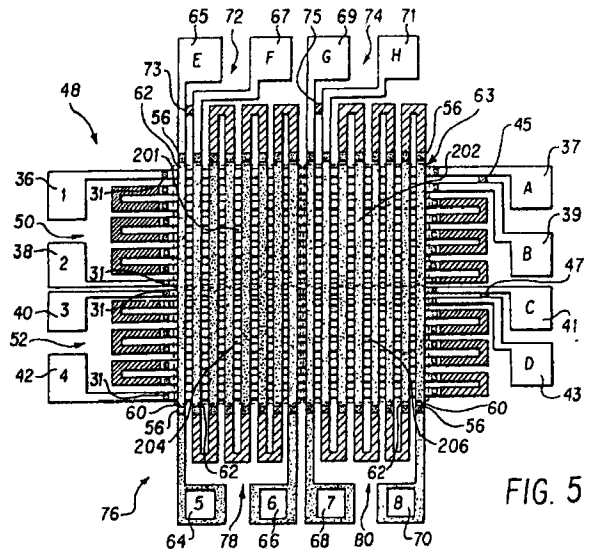


FIG. 5

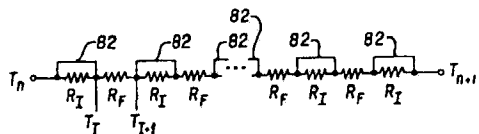


FIG. 6

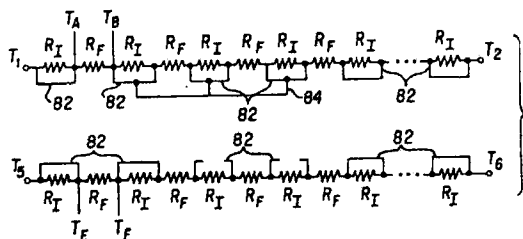


FIG. 8

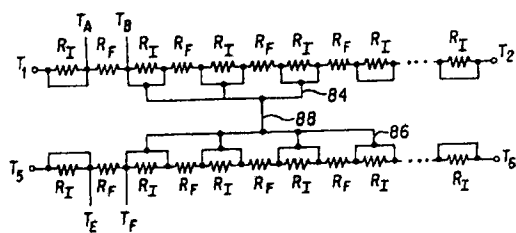


FIG. 9

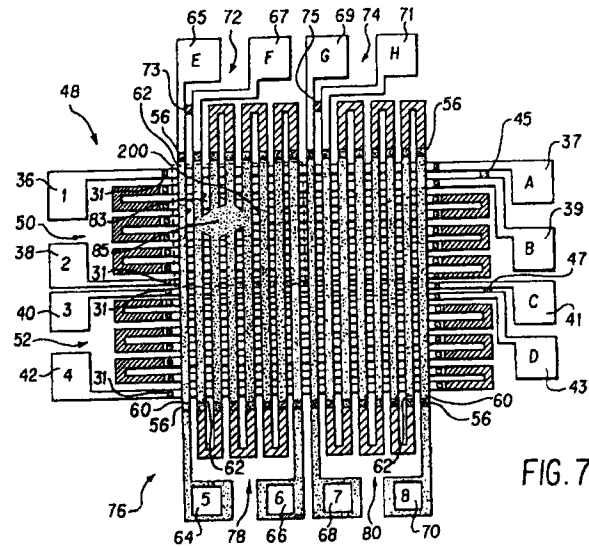


FIG. 7

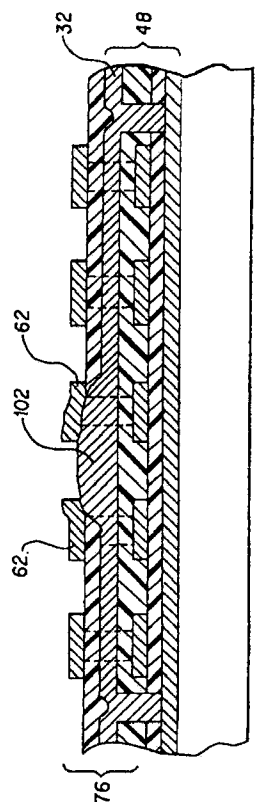


FIG. 10

FIG. 11A

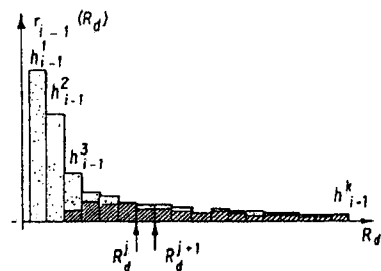


FIG. 11B



FIG. 11C

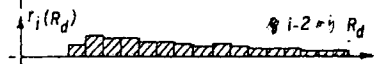
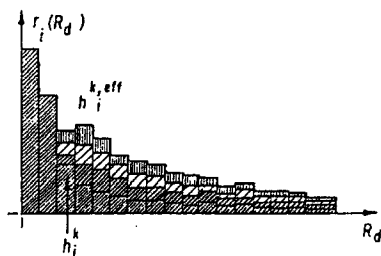


FIG. 11D



FIG. 11E



# 手続補正書

平成2年7月12日

特許庁長官 植松 敏 殿

1. 事件の表示 平成2年 特 許 願 第 134278 号
2. 発明の名称 集積回路における垂直方向に伝搬した欠陥を検知する装置及び方法

3. 補正をする者

事件との関係 特許出願人

名称 ナショナル セミコンダクタ  
コーポレーション

4. 代 理 人

住所 東京都港区虎ノ門1丁目17番1号  
第5森ビル (電話502-2626)

小橋 国際 特 許 事 務 所  
氏名 (5779) 弁理士 小 橋 一 男  
(他1名)

5. 補正命令の日付 自 発
6. 補正の対象 図 面 (内容に変更なし)
7. 補正の内容 別紙の通り

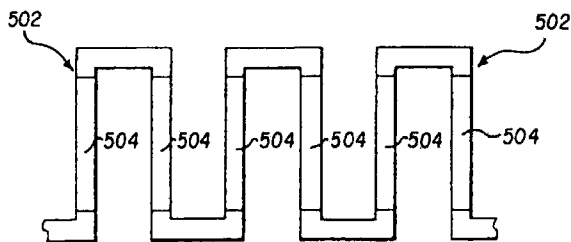


FIG. 12A

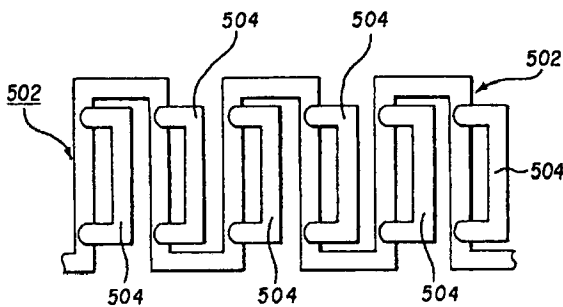


FIG. 12B

方式  
監査

小  
橋  
(印)

